

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028040

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G06F 12/08

(21)Application number : 03-178111

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 18.07.1991

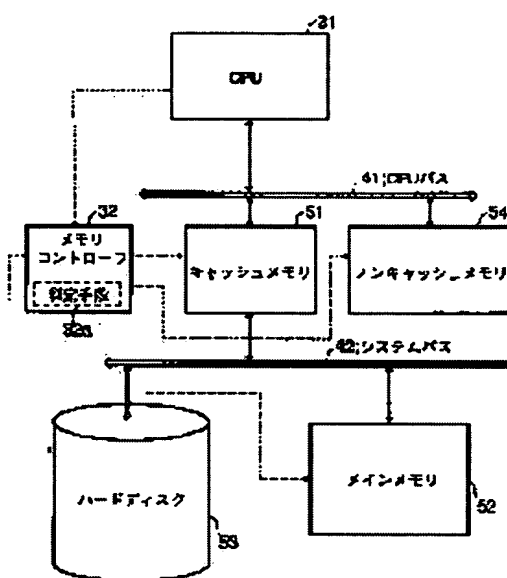
(72)Inventor : WAUKE YASUSHI

(54) QUICK MEMORY ACCESS SYSTEM

(57)Abstract:

PURPOSE: To enable quick memory access with relatively less hardware amount and easy-to-control manner by reducing erroneous penalties caused by erroneous hits on a cache memory.

CONSTITUTION: In a computer system performing a quick access using a cache memory 51, a high-speed non-cache memory 54 is directly connected to a CPU bus 41 other than the cache memory 51. Data and codes to be frequently accessed are stored in the non-cache memory 54, and a decision means 32a in a memory controller 32 selects the non-cache memory 54 or the cache memory 51. The normal data and codes are accessed through the cache memory 51 by a CPU 31, the data and codes to be frequently accessed are directly accessed to the non-cache memory 54 by the CPU 31. Thus, the memory access speed can be further increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-28040

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

G 0 6 F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

P 7232-5B

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-178111

(22)出願日 平成3年(1991)7月18日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 和字慶 康

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

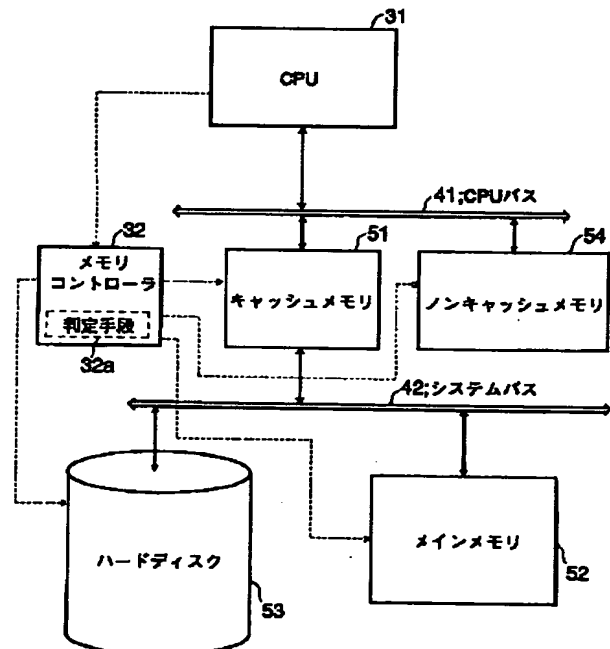
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 高速メモリアクセス方式

(57)【要約】

【目的】 キャッシュメモリに対するミスヒットによるミスペナルティを軽減し、制御が簡単で、ハード量も比較的少なく、より高速にメモリをアクセスする。

【構成】 キャッシュメモリ51を用いて高速アクセスを行うコンピュータシステムにおいて、該キャッシュメモリ51とは別に、高速なノンキャッシュメモリ54をCPUバス41に直接接続する。頻繁にアクセスされるデータやコードを、ノンキャッシュメモリ54に格納し、該ノンキャッシュメモリ54とキャッシュメモリ51との選択を、メモリコントローラ32内の判定手段32aにより行う。通常のデータやコードはCPU31がキャッシュメモリ51を介してアクセスするが、頻繁にアクセスされるデータやコードは、CPU31がノンキャッシュメモリ54に対して直接アクセスする。これにより、メモリアクセス速度がより高速化できる。



本発明のコンピュータシステム

【特許請求の範囲】

【請求項1】 中央処理装置とメインメモリとの間に設けられたキャッシュメモリを用いて高速アクセスを行うコンピュータシステムの高速メモリアccess方式において、

バスを介して前記中央処理装置に接続されノンキャッシュでアクセス可能な高速のノンキャッシュメモリと、処理内容に応じて前記キャッシュメモリ及びノンキャッシュメモリのうちのいずれが前記中央処理装置のアクセス対象になっているかを判定する判定手段とを用い、アクセス頻度の高いデータやコードを前記ノンキャッシュメモリに格納しておき、前記判定手段の判定結果によって指定される前記ノンキャッシュメモリに対して前記中央処理装置が直接アクセスすることを特徴とする高速メモリアccess方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、キャッシュメモリを有するコンピュータシステムにおいて、プログラムの実行等を高速に行うためのデータやコードの高速メモリアccess方式に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば次のような文献に記載されるものがあつた。

【0003】 日経データプロ編“32ビットマイクロプロセッサの全容—企業・戦略・技術・市場動向”、(昭61-12-10) 日経マグローヒル(株) P. 244-245 従来、中央処理装置(CPU)およびメモリ等を有するコンピュータシステムにおいて、該CPUとメモリ間の速度差を埋めるために、安価で大容量の低速のメモリ、中ぐらいの容量でかつ中速なメモリ、および高価で小容量の高速のメモリ等といったメモリ階層構造を持っている。通常、この3階層のメモリの内、低速大容量のメモリは2次メモリと呼ばれハードディスクで構成され、さらに、中容量中速のメモリはメインメモリと呼ばれ中速の半導体メモリ(例えば、ダイナミックRAM)、小容量高速のメモリはキャッシュメモリと呼ばれ高速な半導体メモリ(例えば、スタティックRAM)でそれぞれ構成されている。このようなコンピュータシステムの一構成例を図2に示す。

【0004】 図2は、従来のコンピュータシステムの概略を示す構成ブロック図である。

【0005】 このコンピュータシステムでは、システム全体をプログラム制御するCPU1と、複数のメモリの選択等を行うメモリコントローラ2とを備えている。CPU1には、CPUバス11を介してキャッシュメモリ21が接続されている。さらに、そのキャッシュメモリ21は、システムバス12に接続され、そのシステムバス12に、メインメモリ22及びハードディスク23が接続されている。

【0006】 キャッシュメモリ21、メインメモリ22及びハードディスク23は、メモリコントローラ2で、メモリ間の選択やリード/ライト等の制御が行われる。そのうち、キャッシュメモリ21は、前記文献に記載されているように、CPU1とメインメモリ22との間におかれるアクセス時間の速いメモリである。このキャッシュメモリ21は、メインメモリの内容の一部を該キャッシュメモリ21上にコピーして該メインメモリ22へのアクセスのほとんどを該キャッシュメモリ21へのアクセスで行えるようにすることで、CPU1のプログラム実行性能の向上を図る機能を有している。

【0007】 キャッシュメモリ21の容量はメインメモリ22に比べて極めて小さい。そこで、メインメモリ22上のデータがキャッシュメモリ21上のどこに対応づけられるかを定める規則が必要である。この対応づけ方式には、例えばセット・アソシアティブ(Set Associative)方式、フル・アソシアティブ(Fully Associative)方式、及びダイレクト・マッピング(Direct Mapping)方式等がある。この内、基本となるセット・アソシアティブ方式は、キャッシュメモリ21とメインメモリ22をブロック(ライン)単位に分割し、この単位で対応づける方式である。

【0008】 図2のコンピュータシステムにおいて、CPU1がメインメモリ22をアクセスする場合、そのデータがキャッシュメモリ21内に存在するとき(これをキャッシュヒットという)は、直接該キャッシュメモリ21の内容を使用することにより、高速アクセスが行われてCPU1のプログラム実行性能が向上する。これに対し、アクセスすべきデータがキャッシュメモリ21内にない場合(これをキャッシュミスヒットという)、該当するデータまたはコードをメインメモリ22よりシステムバス12を介してキャッシュメモリ21にもってこなければならない。更に、種々のメモリのアクセス形態があるために、100%のヒット率を保証することは不可能である。そこで、キャッシュメモリのヒット率を上げるために、種々の方式が提案されている。

【0009】

【発明が解決しようとする課題】 しかしながら、従来の高速メモリアccess方式では、CPU1とメインメモリ22の速度差を埋めるために、キャッシュメモリ21を用いており、しかもそのキャッシュメモリ21のヒット率を上げるために、種々の方式が提案されている。しかし、これらの種々の方式では、制御が複雑化すると共にハード量が増大し、未だ技術的に十分満足のゆく高速メモリアccess方式を提案することが困難であつた。

【0010】 本発明は、前記従来技術が持っていた課題として、制御の複雑化とハード量の増大を招くことなく、的確な高速メモリアccessを行うことが困難な点について解決した高速メモリアccess方式を提供するものである。

【0011】

【課題を解決するための手段】本発明は前記課題を解決するために、CPUとメインメモリとの間に設けられたキャッシュメモリを用いて高速アクセスを行うコンピュータシステムの高速アクセスメモリ方式において、バスを介して前記CPUに接続されノンキャッシュでアクセス可能な高速のノンキャッシュメモリと、処理内容に応じて前記キャッシュメモリ及びノンキャッシュメモリのうちのいずれが前記CPUのアクセス対象となっているかを判定する判定手段とを、設ける。

【0012】そして、このノンキャッシュメモリと判定手段とを用い、アクセス頻度の高いデータやコードを前記ノンキャッシュメモリに格納しておき、前記判定手段の判定結果によって指定される前記ノンキャッシュメモリに対して前記CPUが直接アクセスするようにしている。

【0013】

【作用】本発明によれば、以上のように高速メモリアセス方式を構成したので、CPUのレジスタの待避、グローバル変数の格納、高速かつ一定時間で応答が要求される割り込み等の処理プログラムを、予めノンキャッシュメモリに格納しておく。そして、通常のデータやコードは、キャッシュメモリを介してCPUがアクセスする。頻繁にアクセスされるようなデータやコードはノンキャッシュメモリ中に格納されているので、判定手段32aによって該ノンキャッシュメモリが選択され、それに対してCPUがアクセスする。

【0014】これにより、簡単な制御で、ハード量の増加も少なく、より高速にメモリアksesが行える。従って、前記課題を解決できるのである。

【0015】

【実施例】図1は、本発明の実施例を示すコンピュータシステムの構成ブロック図である。

【0016】このコンピュータシステムは、システム全体をプログラム制御するCPU31と、複数のメモリ間の選択やリード/ライト等の制御を行うメモリコントローラ32とを備えている。CPU31は、従来と同様に、CPUバス41を介してキャッシュメモリ51に接続され、そのキャッシュメモリ51がシステムバス42に接続されている。システムバス42には、メインメモリ52及びハードディスク53が接続されている。

【0017】このコンピュータシステムが従来と異なる点は、CPUバス41に接続されたキャッシュメモリ51とは別に、ノンキャッシュでアクセス可能な高速のスタックRAM等のノンキャッシュメモリ54が、該CPUバス41に接続されている。更に、CPU31で制御されるメモリコントローラ32内に、処理内容に応じてキャッシュメモリ51とノンキャッシュメモリ54のうちのいずれが該CPU31のアクセス対象になっているかを判定する判定手段32aが設けられている。

【0018】次に、図1のコンピュータシステムにおける高速メモリアkses方式について説明する。

【0019】通常のデータやコードはメインメモリ52に格納し、頻繁にアクセスされるようなデータやコードは、予めノンキャッシュメモリ54中に格納する。例えば、割り込み発生時またはCPU内部のレジスタのオーバーフロー時のレジスタの待避先及びその待避プログラム、グローバル変数、高速かつ一定時間で応答（リアルタイム処理）が要求される割り込み等の処理プログラムを、ノンキャッシュメモリ54に格納しておく。

【0020】CPU31が通常のデータやコードをアクセスする場合、メモリコントローラ32内の判定手段32aがその処理内容を判断してキャッシュメモリ51を選択する。すると、CPU31は、通常のデータやコードがキャッシュメモリ51内に存在する場合、直接、該キャッシュメモリ51に対してアクセスする。該当するデータやコードがキャッシュメモリ51内にないときには、メモリコントローラ32によってメインメモリ52が制御され、該当するデータまたはコードを該メインメモリ52よりシステムバス42を介してキャッシュメモリ52へ転送する。この転送されたデータまたはコードを、CPU31がアクセスすることになる。

【0021】このように通常のデータやコードはキャッシュメモリ51を介しアクセスするが、頻繁にアクセスされるようなデータやコードは予めノンキャッシュメモリ54に格納されているので、メモリコントローラ32内の判定手段32aにより、該ノンキャッシュメモリ54が選択され、そのノンキャッシュメモリ54内のデータやコードがCPUバス41を介してCPU31でアクセスされる。この際、ノンキャッシュメモリ54は、CPU31のメモリ空間にマッピングし、そのメモリ空間はキャッシュ領域から除くことにより、キャッシュメモリ51とノンキャッシュメモリ54とのアクセスに対する区別を可能にさせる。

【0022】本実施例の高速メモリアkses方式では、次のような利点がある。

【0023】（a）頻繁にアクセスされるようなデータやコードは、ノンキャッシュメモリ54に格納されているので、従来のようにキャッシュメモリ51に対するキャッシュミスヒット時のミスペナルティが軽減され、CPU31のプログラム実行性能が向上する。

【0024】（b）CPU31は直接ノンキャッシュメモリ54をアクセス可能であるため、割り込み等のリアルタイム処理を高速に行える。このリアルタイム処理上重要となる応答速度の見積もりが容易になるため、システム設計が簡単になる。

【0025】（c）キャッシュメモリ51とノンキャッシュメモリ54とを判定して選択するための判定手段32aは、回路構成の簡単なデコーダ等で構成できるため、ハード量の追加も比較的少なくてすむ。しかも、キ

5

キャッシュメモリ51とノンキャッシュメモリ54とを選択し、該ノンキャッシュメモリ54が選択されたときには直接、CPU31が該ノンキャッシュメモリ54に対してアクセスする構成であるため、制御が簡単である。

【0026】(d) ノンキャッシュメモリ54に対するアクセス方式は、キャッシュメモリの制御方式(アルゴリズム)と独立であるため、キャッシュメモリ51の制御方式がセット・アソシアティブ方式等といった種々の方式にも、本実施例を適用できる。

【0027】(e) 高速メモリアクセス方式を実現する一つの方法として、人間にわかりやすいコンパイラ言語で書かれたプログラムを機械語に翻訳する翻訳プログラムであるコンパイラを用い、CPU31内のレジスタの割り付け時間を短縮してアクセス速度の高速化を図る手法もある。このような手法のCPU31に対し、本実施例のようにノンキャッシュメモリ54を付加することにより、コンパイラによるレジスタ割り付けの処理時間を軽減でき、それによってよりアクセス速度の高速化が可能となる。

【0028】なお、本発明は上記実施例に限定されず、例えば図1のコンピュータシステムに、CPU31を介することなく入出力装置とメモリ間のデータの転送を行うDMA (direct memory access) 等の機能ブロックを付加する等、種々の変形が可能である。

【0029】

【発明の効果】以上詳細に説明したように、本発明によ

6

れば、キャッシュメモリとは別に高速なノンキャッシュメモリをバスを介してCPUに接続し、頻繁にアクセスされるデータやコードをそのノンキャッシュメモリに格納し、判定手段で選択された該ノンキャッシュメモリに対してCPUが直接アクセス可能な構成にしたので、キャッシュメモリに対するミスヒットによるミスペナルティが軽減し、CPUのプログラム実行性能が向上する。

【0030】しかも、頻度の高いデータやコードがノンキャッシュメモリに格納されているので、CPUは直接そのデータやコードを利用でき、制御が簡単で、ハード量の増加も少なく、高速にメモリアクセスができる。従って、コンピュータシステムの全体の処理速度が向上し、該コンピュータシステムの信頼性がより向上する。

【図面の簡単な説明】

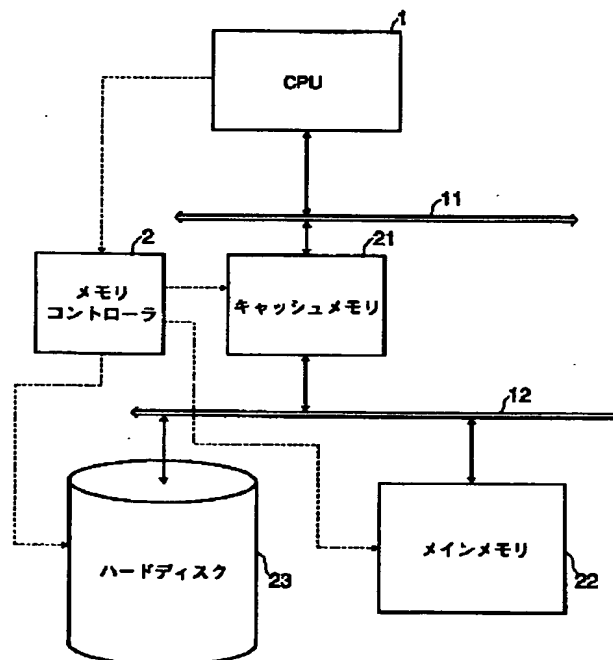
【図1】本発明の実施例を示すコンピュータシステムの概略の構成ブロック図である。

【図2】従来のコンピュータシステムの概略の構成ブロック図である。

【符号の説明】

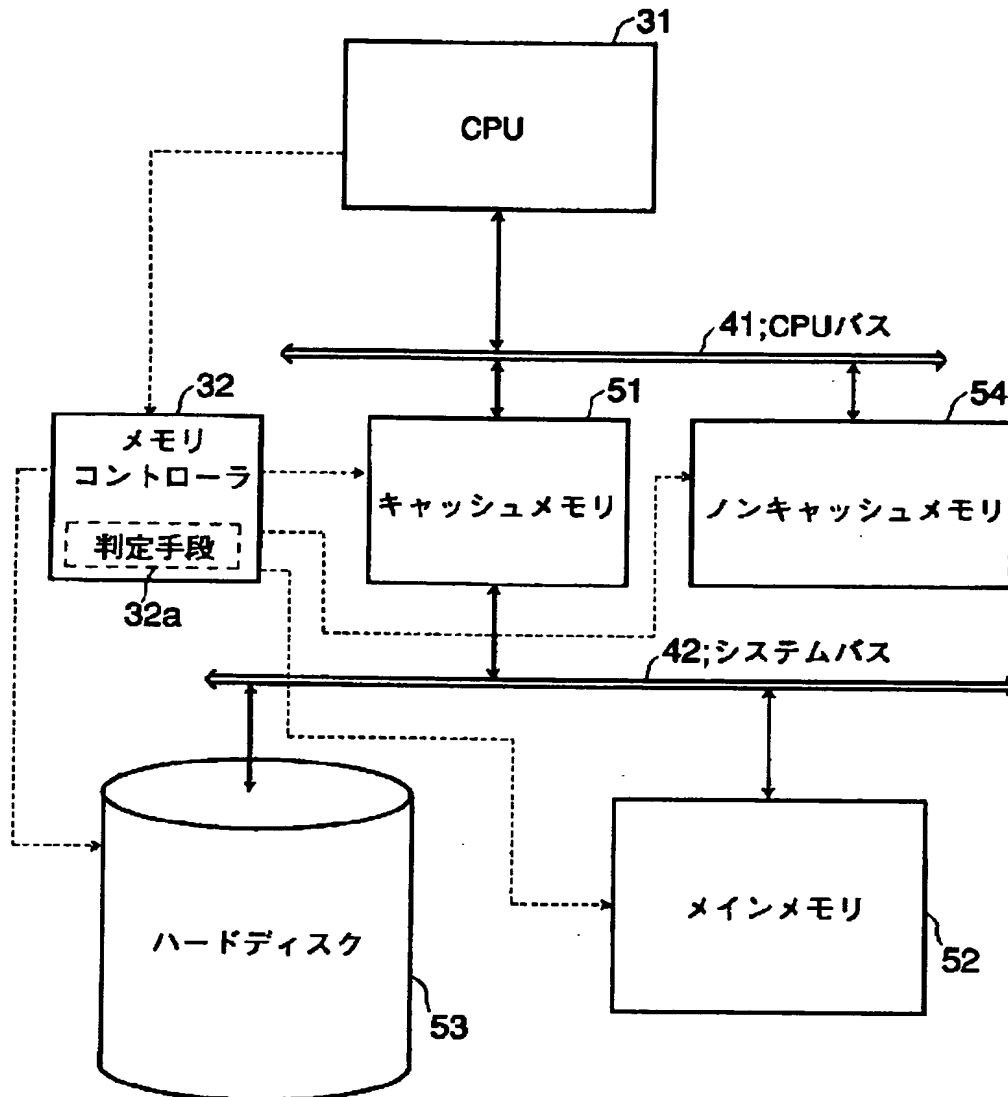
31	CPU
32	メモリコントローラ
32a	判定手段
41	CPUバス
51	キャッシュメモリ
52	メインメモリ
54	ノンキャッシュメモリ

【図2】



従来のコンピュータシステム

【図1】



本発明のコンピュータシステム